

PATENT ABSTRACTS OF JAPAN

(11) Publication number : **01-243675**

(43) Date of publication of application : **28.09.1989**

(51) Int.Cl.

H04N 5/335

H01L 27/14

(21) Application number : **63-069371**

(71) Applicant : **HITACHI LTD**

(22) Date of filing : **25.03.1988**

(72) Inventor : **AKIMOTO HAJIME
OZAKI TOSHIBUMI
OBA SHINYA**

(54) **SOLID STATE IMAGE PICKUP DEVICE**

(57) Abstract:

PURPOSE: To prevent the deterioration of a picture due to the difference of light signal accumulation time among picture elements by perfectly equalizing the light signal accumulation time of the respective picture elements.

CONSTITUTION: Every picture element arranged on a light receptive surface two-dimensionally is provided with a photodiode 1, a picture element amplifying transistor 2 to amplify the voltage of the photodiode 1, a vertical switch transistor 3 to connect the picture element amplifying transistor 2 and a vertical drain line 12 and a reset transistor 4 to reset the photodiode 1 respectively. Then, a photoelectric signal accumulating operation is started after the photodiodes 1 are reset at the same hour in the lump, and afterward, scanned outputs are obtained by scanning capacitors 19 after the amplified outputs of the photoelectric signals of the photodiodes 1 too are inputted in the plural capacitors 19 in the lump. Accordingly, the photoelectric signal accumulation time of every picture element can be perfectly equalized. Thus, the deterioration of the picture due to the difference of the light signal accumulation time among the picture elements can be prevented.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-243675

⑤ Int. Cl.⁴

H 04 N 5/335
H 01 L 27/14

識別記号

庁内整理番号

E-8420-5C
A-7377-5F

④ 公開 平成1年(1989)9月28日

審査請求 未請求 請求項の数 1 (全9頁)

⑤ 発明の名称 固体撮像装置

② 特 願 昭63-69371

② 出 願 昭63(1988)3月25日

⑦ 発 明 者 秋 元 肇 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 発 明 者 尾 崎 俊 文 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 発 明 者 大 場 信 弥 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

1. 光信号を電気信号に変換し、蓄積するために2次元状に配置された受光手段と、この受光手段の電気信号を増幅するための増幅手段を各々の上記受光手段の近傍に有し、さらに上記増幅手段の増幅信号を選択的に走査出力するための出力手段と、複数の上記受光手段を同時刻にリセットする手段を有する固体撮像装置において、上記出力手段の一部として複数の容量を設け、上記増幅信号の出力は、いったん複数の増幅手段の増幅出力電荷を同時刻に上記容量に入力した後、上記容量を走査し、上記容量に蓄えられていた増幅信号を読み出すことによつて行う構造を有することを特徴とする固体撮像装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は特に各画素の光信号蓄積時間を全く同

一にした、高画質カメラに好適な固体撮像装置に関する。

(従来の技術)

ホトダイオードの近傍の受光面上において、ホトダイオードに発生した信号電荷を増幅してから出力するという画素アンプ形固体撮像装置については、昭和58年電子通信学会総合全国大会予講集1241において論じられている。以下、第6図を用いて、上記従来例について述べる。第6図は従来例の固体撮像装置の回路構成図である。受光面上に2次元状に配置された各画素は、光電変換を行うホトダイオード1、ホトダイオード1の電圧を増幅するための画素アンプトランジスタ2、画素アンプトランジスタ2と垂直ドレイン線5とを接続する垂直スイッチトランジスタ3、ホトダイオード1をリセットするためのリセットトランジスタ4をそれぞれ有している。画素アンプトランジスタ2のゲート及びリセットトランジスタ4のソースはホトダイオード1に、リセットトランジスタ4のドレイン及び垂直スイッチトランジスタ

タ3のドレインは垂直ドレイン線5にそれぞれ接続されている。また、画素アンプトランジスタ2のドレインは垂直スイッチトランジスタのソースに、画素アンプトランジスタ2のソースは垂直信号線7を介して水平スイッチトランジスタ8のドレインに接続され、水平スイッチトランジスタ8のソースは水平信号線9につながり、水平信号線9の一端は出力端子となつている。そして垂直スイッチトランジスタ3とリセットトランジスタ4のゲートに接続する垂直ゲート6及び垂直ドレイン線5は垂直シフトレジスタ10により、水平スイッチトランジスタ8のゲートは水平シフトレジスタ11により選択走査される。

次にこの従来例の動作を説明する。受光面に入射した光のシリコン中における光電変換によつてホトダイオード1内には信号電荷が生じ、蓄えられる。水平掃線期間内に、垂直シフトレジスタ10によつて1組の垂直ゲート線6及び垂直ドレイン線5が高レベルになると、これら2本の線につながる横一列の画素の垂直スイッチトランジスタ

タ3がオンし、ソースに接続されている画素アンプトランジスタ2のドレインを垂直ドレイン線5に導通させる。次いで水平走査期間内に、水平シフトレジスタ11が水平スイッチトランジスタ8を順次オンさせると、画素アンプトランジスタ2のソースは順次水平信号線9と導通し、この結果選択された横一列の画素について、画素アンプトランジスタ2が順次動作することになる。ホトダイオード1の電圧はホトダイオード1に蓄えられている電荷量によつて決まり、画素アンプトランジスタ2のゲートにはこのホトダイオード1の電圧が加わるため、結局ホトダイオード1の信号電荷量に応じた画素アンプトランジスタ2のドレイン・ソース間電流が、水平信号線9から出力されることになる。

以上が本従来例の読み出し動作であるが、なお、画素アンプトランジスタ2のゲートとホトダイオード1とのリセット動作については、 n 列目の一列の画素の水平走査出力が終了後、 $n+1$ 列目の画素に対応する垂直ゲート線6を高レベルにして

n 列目の画素のリセットトランジスタ4を導通させることにより、 n 列目の全てのホトダイオード1を一括してリセットすることによつて行う。

〔発明が解決しようとする課題〕

上記従来技術では、ホトダイオードに蓄積されている光信号電荷のリセットは水平方向一列の画素で一括して行うのに対し、ホトダイオードに蓄積されている光信号電荷による出力を画素アンプトランジスタを用いてとり出す動作は水平方向一列の画素を順次走査するために、各画素の光信号蓄積時間が異なつてしまう、ということに対する配慮がなされておらず、各画素の信号蓄積時間の違いによる画質の劣化が生じるという問題があった。本発明の目的は、上記理由による画質の劣化のない固体撮像装置を提供することにある。

〔課題を解決するための手段〕

上記目的は、光信号を電気信号に変換し、蓄積するために2次元状に配置された受光手段と、この受光手段の電気信号を増幅するための増幅手段を各々の上記受光手段の近傍に有し、さらに上記

増幅手段の増幅信号を選択的に走査出力するための出力手段と、複数の上記受光手段を同時刻にリセットする手段とを有する固体撮像装置において、上記出力手段の一部として複数個の容量を設け、上記増幅信号の出力は、いったん複数の増幅手段の増幅出力電荷を同時刻に上記容量に入力した後、上記容量を走査し、上記容量に蓄えられていた増幅信号を読み出すことによつて行う構造を有することにより、達成される。

〔作用〕

本発明では、複数の受光手段を同時刻に一括してリセットして光電気信号蓄積動作を開始し、その後これらの受光手段の光電気信号の増幅出力もまた一括して複数の容量に入力してしまつた後に、これらの容量を走査することによつて走査出力を得る。このため、各画素の光電気信号蓄積時間を全く同一にすることができ、画素間の光信号蓄積時間の違いによる画像の劣化を防ぐことができる。

〔実施例〕

以下、本発明の一実施例を第1図により説明す

る。第1図は本発明の一実施例の回路構成図である。受光面上に2次元状に配置された各画素は、光電変換を行うホトダイオード1、ホトダイオード1の電圧を増幅するための画素アンプトランジスタ2、画素アンプトランジスタ2と垂直ドレイン線12とを接続する垂直スイッチトランジスタ3、ホトダイオード1をリセットするためのリセットトランジスタ4をそれぞれ有している。画素アンプトランジスタ2のゲート及びリセットトランジスタ4のソースはホトダイオード1に、リセットトランジスタ4のドレイン及び垂直スイッチトランジスタ3のドレインとゲートとは垂直ドレイン線12にそれぞれ接続されている。また、画素アンプトランジスタ2のドレインは垂直スイッチトランジスタ3のソースに、画素アンプトランジスタ2のソースは垂直信号線14につながっている。ここでリセットトランジスタ4のゲートに接続する垂直ゲート線13と垂直ドレイン線12とは、共に垂直シフトレジスタ10により選択され走査される。垂直信号線14の一端は信号リセ

2を動作させる。このとき、蓄積容量ゲート線18を高レベルにし、蓄積容量スイッチトランジスタ17をオンさせると、蓄積容量19には画素アンプトランジスタ2からの増幅信号電荷が垂直信号線14を通して蓄積される。蓄積容量19に増幅信号電荷が蓄積された後、蓄積容量スイッチトランジスタ17はオフする。

次いで水平走査期間内に、水平シフトレジスタ22が水平ゲート線21を介して水平スイッチトランジスタ20を順次オンさせると、各蓄積容量19は水平スイッチトランジスタ20及び水平信号線23を介して順次出力アンプ24と接続されることになり、蓄積容量19に蓄積されていた増幅信号電荷による出力が得られる。

以上が読み出し動作であるが、垂直方向n列目のホトダイオード1のリセットは、任意のタイミングで垂直シフトレジスタ10から垂直方向n列目の垂直ゲート線13を介してリセットトランジスタ4をオンさせればよい。このとき、リセットトランジスタ4のドレインが接続している垂直ド

レイン線12は高レベルにないが、あらかじめリセットトランジスタ4のドレインもゲートと同じ垂直ゲート線に接続しておけば、垂直ドレイン線12とは無関係にリセットを行うことも可能である。なお、ホトダイオード1のリセットタイミングを変えることによって、ホトダイオードの信号電荷蓄積時間が変えられるため、フォーカルプレーン式電子シャッターモードの撮像が行えることは明らかである。なお、垂直信号線14のリセットは、水平帰線期間の初頭に、信号リセットゲート線16を高レベルにし、信号リセットスイッチトランジスタ15をオンにすることによって、増幅信号電荷を蓄積容量19に入力する前に行っている。

次に本実施例の動作を説明する。受光面に入射した光の半導体中における光電変換によつて、ホトダイオード1内には信号電荷が生じ、蓄えられる。

水平帰線期間内に、垂直シフトレジスタ10によつて一本の垂直ドレイン線12が高レベルになると、この垂直ドレイン線12にはゲート及びドレインが接続されている垂直スイッチトランジスタ3がオンし、この垂直スイッチトランジスタのソースに接続されている画素アンプトランジスタ

また、本実施例のような構造においては、画素アンプトランジスタ2は、充電時間内の初期に蓄積容量19を一定時間にかけて充電してゆくために、画素アンプトランジスタ2の雑音の高周波成分は減衰する。従つて、雑音の低減効果をも有することになる。

なお、本実施例においては、ホトダイオード1に生じた信号電荷に対する増幅信号電荷の利得は、画素アンプトランジスタ2のゲート寄生容量と蓄積容量19との容量比によって決まる。従って蓄積容量19を充電するのに必要な時間があまり長くない限り、この容量比は大きく取った方が得られる利得が大きくなり有利である。

以上の説明では読み出し画素の選択を垂直シフトレジスタ10及び水平シフトレジスタ22を用いて行つたが、必ずしもシフトレジスタでなくとも、何らかの画素選択回路を用いれば良いこと、信号リセットスイッチトランジスタ15のソースや信号蓄積容量19の一端、及びホトダイオード1の一端をウエルに落としていたが、必ずしもウエルでなくとも、何らかの電圧即加手段に接続すれば良いこと、信号リセットスイッチ15は必ずしも垂直信号線14の一端でなくとも、受光面以外の任意の場所に設けられること、ホトダイオード1は必ずしもp-n接合でなくとも、MOS型ホトダイオード等の構造をとることも可能なこと、

行うことを除けば、第1図により説明した実施例と同一である。

本実施例によれば、画像出力をインタレースのない2行同時読み出し出力として得ることができ、通常のインタレースを伴うフレーム読み出し出力に比べて、画像の動解像度の向上を図ることができる。

以下、本発明の他の実施例を第3図により説明する。第3図は本発明の他の実施例の回路構成図である。本実施例の構成は、画素部の垂直スイッチトランジスタ3がなくなっていること、及び垂直シフトレジスタ10よりホトゲート線25を介して走査されるホトゲートトランジスタ26をホトダイオード1と画素アンプトランジスタ2のゲートとの間に有すること、また垂直信号線14に接続している信号リセットスイッチトランジスタ15のソースが、信号リセット線14'に接続されていること、2つの出力アンプ24の出力の差が出力端24'に出ること、以外は、第1図により説明した実施例と同一である。

2×2画素に限らず任意の画素数の固体撮像装置に拡張できること、半導体特性のp型とn型を逆にしても、電位の大小関係を逆にすれば良いこと、シリコンに限らず他の半導体材料を用いても、シリコンに準じた効果が得られることは明らかであり、このことは以降の他の実施例でも同様である。

以下、本発明の他の実施例を第2図により説明する。第2図は本発明の他の実施例の回路構成図である。本実施例の構成は、蓄積容量スイッチトランジスタ17、蓄積容量ゲート線18、蓄積容量19、水平スイッチトランジスタ20、水平信号線23、出力アンプ24より成る蓄積容量部が2列設けられている他は、第1図により説明した実施例と同一である。

本実施例の動作についても、水平帰線期間内の画素アンプトランジスタ2による増幅信号読み出し動作を、連続する2行の画素について順次行い、2行分の増幅信号電荷をそれぞれ2行の蓄積容量19に蓄えること、及び水平走査期間内の蓄積容量読み出し走査を、2行の蓄積容量19で同時に

次に本実施例の動作を説明する。受光面に入射した光の半導体中における光電変換によって、ホトダイオード1内には信号電荷が生じ、蓄えられる。

水平帰線期間の初めに、垂直シフトレジスタ10によって、垂直方向n列目の横一列の画素に対応する一組の垂直ドレイン線12及び垂直ゲート線13を高レベルに設定し、同時に信号リセットゲート線16及び信号リセット線14'を高レベルに設定することによって垂直方向n列目の画素アンプトランジスタ2のゲートをリセットする。垂直ドレイン線12及び垂直ゲート線13を高レベルにしたのは、リセットトランジスタ4を動作させるためであり、信号リセットゲート線16及び信号リセット線14'を高レベルにするのは、信号リセットスイッチトランジスタ15を介して垂直信号線14を高レベルに設定することにより画素アンプトランジスタ2の動作を防ぐためである。これは、画素アンプトランジスタ2が動作すると、垂直ドレイン線12に比較的大きな瞬時電

流が流れて電圧降下が無視できなくなり、画素アンプトランジスタ2のゲートのリセットに支障をきたすからである。

この後に以上の垂直ドレイン線12、垂直ゲート線13、信号リセットゲート線16及び信号リセット線14'を低レベルに下げ、ゲートをリセットした画素アンプトランジスタ2の出力の蓄積容量19への読み込みを続けて行う。即ち、垂直シフトレジスタ10によつて一本の垂直ドレイン線12が高レベルになると、この垂直ドレイン線12に接続されている画素アンプトランジスタ2が動作する。このとき、1列目の蓄積容量ゲート線18を高レベルにし、蓄積容量スイッチトランジスタ17をオンさせると、1列目の蓄積容量19には画素アンプトランジスタ2からの増幅信号電荷が垂直信号線14を通して蓄積される。蓄積容量19に増幅信号電荷が蓄積された後、蓄積容量スイッチトランジスタ17はオフする。

続いてホトゲート線25を高レベルにすることによつて、ホトゲートトランジスタ26をオンし、

得られる。

このとき、2つの出力アンプ24から得られる出力は、一方が画素アンプトランジスタ2のゲートをリセットした場合、一方がさらにこのゲートにホトダイオード1からの信号電荷を入力した場合、にそれぞれ対応している。そこで最終的な出力端24'では、これら両出力アンプ24の差分が得られるようにしている。

本実施例では上記のように、画素アンプトランジスタ2のゲートをリセットした場合の増幅信号と、画素アンプトランジスタ2のゲートに信号電荷を入力した場合の増幅信号との差分を出力とするため、画素アンプトランジスタ2のゲートのリセットに伴うリセット雑音や、画素アンプトランジスタ2の雑音の低周波成分を抑圧できる長所がある。このような差分をとる方式は、相関二重サンプリング法として知られる手法と原理的には同じものである。

なお、本実施例では蓄積容量19を2列設けているが、これを4列として、第2図により説明し

ホトダイオード1に蓄積されていた信号電荷を、画素アンプトランジスタ2のゲート部へと読み出す、この動作はホトダイオード1のリセット動作も兼ねている。このとき、信号電荷読み出し後のホトダイオード1が完全に空乏化するようにホトダイオード1の構造を決定しておく、ホトダイオード1の読み残し電荷によつて発生するリセット雑音や残像を取り除くことができる。

この後に再び画素アンプトランジスタ2の出力の蓄積容量19への読み込みを繰り返すが、この信号入力時の画素アンプトランジスタ2の増幅信号電荷は、前のリセット時の画素アンプトランジスタ2の増幅信号電荷とは別の2列目の蓄積容量19に入力させることは言うまでもない。

次いで水平走査期間内に、水平シフトレジスタ22が水平スイッチトランジスタ20を順次オンさせると、各蓄積容量19は水平スイッチトランジスタ20及び水平信号線23を介して順次出力アンプ24と接続されることになり、蓄積容量19に蓄積されていた増幅信号電荷による出力が

た実施例と同様な2行同時読み出し動作を行うことも可能であることは言うまでもない。

以下、本発明の他の実施例を第4図により説明する。第4図は本発明の他の実施例の回路構成図であり、画素部においてホトダイオード1'のp-n接合の向きが逆なこと、画素アンプトランジスタ32のゲートはドレインと共に垂直ドレイン線34に接続されており、ホトダイオード1'は画素アンプトランジスタ32のウエルとつながっていること、ホトゲートトランジスタ26、垂直ゲート線13及びホトゲート線25がなく、リセットトランジスタ4に替えてリセットダイオード33を有すること、信号リセット線14'をもたないことの他は、第3図により説明した実施例と同一の構成である。

次に本実施例の動作を説明する。受光面に入射した光の半導体中における光電変換によつて、ホトダイオード1内には信号電荷が生じ、蓄えらる。

水平帰線期間内において、垂直シフトレジスタ

10によつて、横一列の画素に対応する一本の垂直ドレイン線34を高レベルに設定し、この垂直ドレイン線34にドレイン及びゲートが接続されている画素アンプトランジスタ2を動作させる。このとき、1列目の蓄積容量ゲート線18を高レベルにし、蓄積容量スイッチトランジスタ17をオンさせると、1列目の蓄積容量19には画素アンプトランジスタ2からの増幅信号電荷が垂直信号線14を通して蓄積される。このとき、ホトダイオード1'に蓄えられている信号電荷は、画素アンプトランジスタ32に対してバックゲート電圧の変化として入力している。蓄積容量19に増幅信号電荷が蓄積された後、蓄積容量スイッチトランジスタ17はオフする。

次には、注目しているこの横1列の画素について、ホトダイオード1'のリセットを行う。これは、垂直ドレイン線34をホトダイオード1'に対して負電圧にし、リセットダイオード33を順方向にバイアスすることによつて行われるが、このときこのリセットダイオード33には、画素ア

と同様に差分をとることにより、画素アンプトランジスタ32の雑音の低周波成分を抑圧する効果が得られる。また、蓄積容量19を4列として、2行同時読み出し動作を行うことも可能である。本実施例の場合はさらに、各画素の構造が比較的単純であるため、画素を縮小することが容易であり、特に高精細対応の多画素撮像装置に好適である。

以下、本発明の他の実施例を第5図により説明する。第5図は本発明の他の実施例の回路構成図であり、蓄積容量19の数が画素と同数であること、蓄積容量19と水平スイッチトランジスタ20との間に、蓄積容量垂直レジスタ31から蓄積容量垂直ゲート線28によつて選択走査される垂直スイッチトランジスタ27を設けてあること、各水平信号線23は、やはり蓄積容量垂直ゲート線28によつて選択走査される読み出しスイッチトランジスタ29を介してアンプ垂直信号線30に接続され、さらにアンプ垂直信号線30の端に出力アンプ24が設けられていることを除けば、

ンプトランジスタのドレイン・ウエル間pn接合を用いると構造の簡略化を図ることができる。また、リセット後のホトダイオード1'が完全に空乏化するようにホトダイオード1の構造を決定しておくこと、ホトダイオード1'のリセット残り電荷によつて発生するリセット雑音や残像を取り除くことができることは前述の実施例の場合と同じである。

この後に再び画素アンプトランジスタ32の出力の蓄積容量19への読み込みを繰り返すが、この信号リセット時の画素アンプトランジスタ32の増幅信号電荷は、前の信号入力時の画素アンプトランジスタ32の増幅信号電荷とは別の、2列目の蓄積容量19に入力させる。

次いで水平走査期間内に出力端24'への信号の出力を行うが、この出力動作については、第3図により説明した実施例の出力動作と同一であるし、垂直信号線14のリセットは、第1図により説明した実施例と同様である。

本実施例の場合、第3図により説明した実施例

第3図により説明した実施例と同じ構造を有している。

次に本実施例の動作を説明する。本実施例においては、全画素アンプトランジスタからの増幅信号電荷の蓄積容量19への読み取りを、例えば垂直帰線期間を用いて連続的に行う。各画素アンプトランジスタ2の出力を蓄積容量19へ読み込む方法は第3図により説明した実施例と同様である。

なお、第5図では信号入力時の画素アンプトランジスタ2の増幅信号電荷用の蓄積容量部と、リセット時の画素アンプトランジスタ2の増幅信号電荷用の蓄積容量部のうち、一方の蓄積容量部を簡単のために省略して示している。

次に、垂直走査期間内の動作を説明する。垂直走査期間内には、蓄積容量垂直レジスタ31より蓄積容量垂直ゲート線28を介して垂直スイッチトランジスタ27及び読み出しスイッチトランジスタ29を、水平シフトレジスタ22より水平ゲート線21を介して水平スイッチトランジスタ

特開平1-243675(7)

20を、それぞれ垂直走査方向、水平走査方向に選択走査することにより、各蓄積容量19に蓄積されている増幅信号電荷を、水平信号線23及びアンプ垂直信号線30を介して出力アンプ24より順次出力する。

なお、垂直信号線14のリセットは、信号リセットゲート線16を高レベルにし、信号リセットスイッチトランジスタ15をオンすることによって行うが、これは画素アンプトランジスタ2から蓄積容量19への増幅信号電荷読み出し時を除く任意のタイミングで行える。またホトダイオード1は、ホトゲート線25を高レベルにしてホトゲートトランジスタ26をオンすることによりリセットすることができる。このときホトダイオード1のリセットタイミングを適当に変えれば、全てのホトダイオード1について、リセットからの信号の読み出しまでの光信号蓄積時間を同一にそろえたまま、蓄積時間を変化させることができる。これが本実施例における電子シャッタ動作であるが、他の実施例の電子シャッタ動作が1フィールド

ド期間にかけて全画面を走査するフォーカルプレーンシャッタであり、受光面上の上端の画素と下端の画素の映像とり込み時間が1フィールド分異なるのに対して、本実施例の電子シャッタ動作は、垂直帰線期間内の画素アンプトランジスタ2の動作時間内に全画面の走査を終了させることのできるフォーカルプレーンシャッタであり、受光面上の上端の画素と下端の画素の映像とり込み時間のずれを、他の実施例に比べて著しく圧縮することができる。

〔発明の効果〕

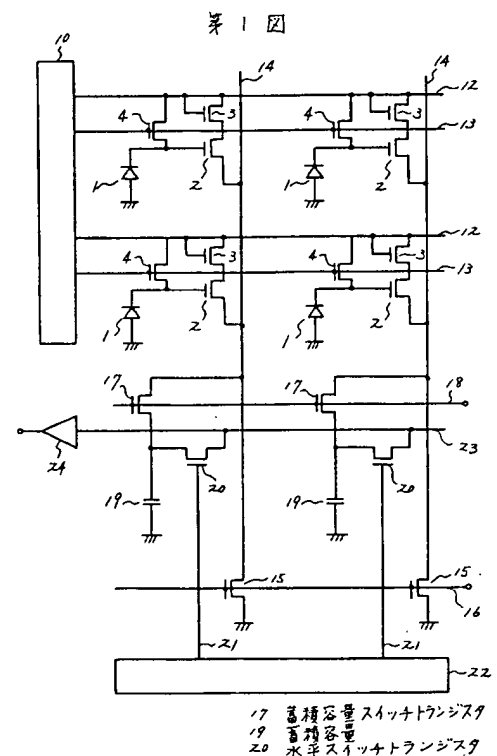
本発明によれば、各画素の光信号蓄積時間を全く同一にすることができるので、画素間の光信号蓄積時間の違いによる画像の劣化を防止することができる。

4. 図面の簡単な説明

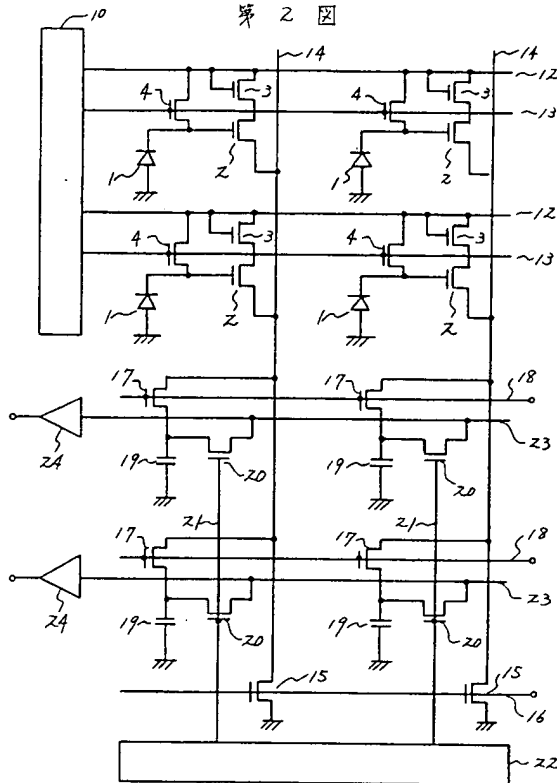
第1図は本発明の一実施例の回路構成を示す図、第2図、第3図、第4図及び第5図は本発明の他の実施例の回路構成を示す図、第6図は従来技術の回路構成を示す図である。

1…ホトダイオード、2…画素アンプトランジスタ、4…リセットトランジスタ、19…蓄積容量、20…水平スイッチトランジスタ、26…ホトゲートトランジスタ、32…画素アンプトランジスタ、33…リセットダイオード。

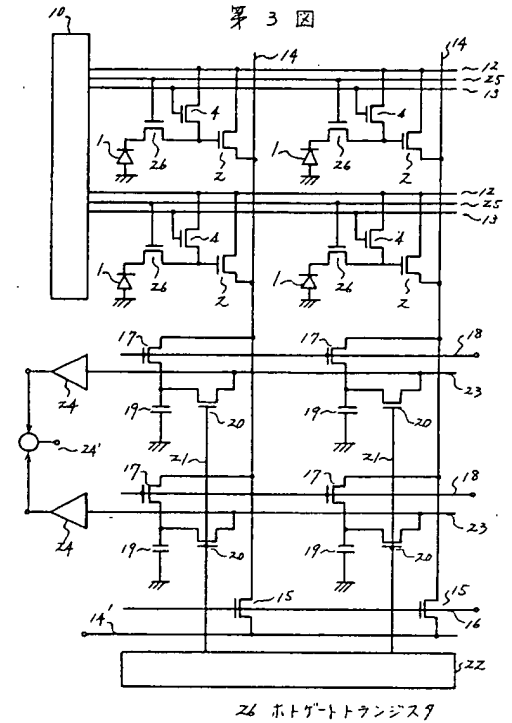
代理人 弁理士 小川勝男



第2図

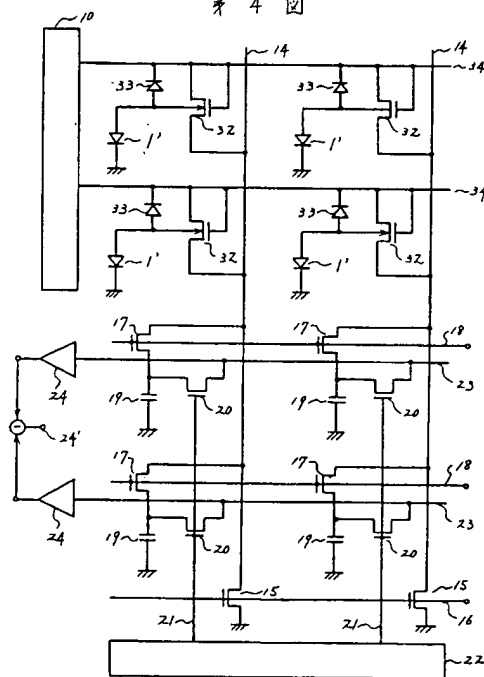


第3図



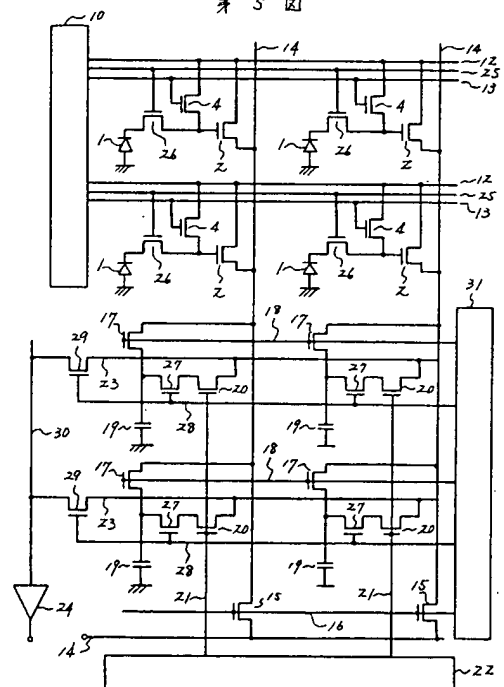
26 ホトゲートトランジスタ

第4図



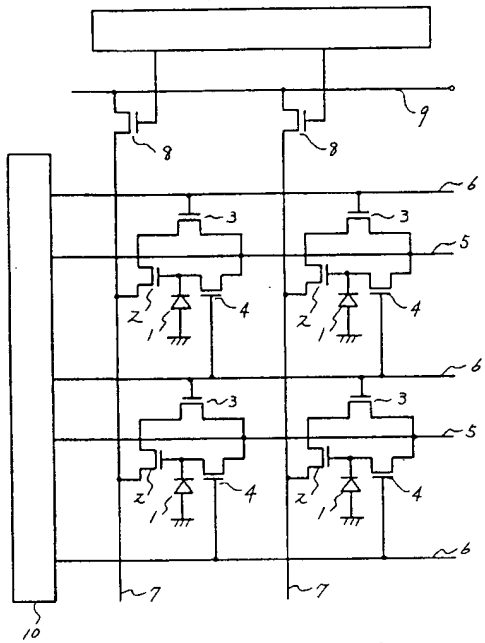
32 画素アンプトランジスタ
33 リセットゲイト

第5図



27 垂直スイッチトランジスタ 30 アンプ垂直信号線
29 読み出しスイッチトランジスタ

第 6 図



- 1 ホトダイオード
- 2 画素アンプトランジスタ
- 4 リセットトランジスタ
- 7 垂直信号線
- 9 水平信号線